

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358297  
 (43)Date of publication of application : 26.12.2001

(51)Int.CI. H01L 27/04  
 H01L 21/822

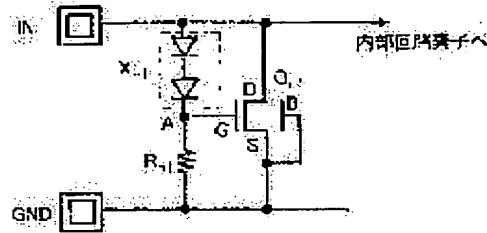
(21)Application number : 2000-178770 (71)Applicant : NEC CORP  
 (22)Date of filing : 14.06.2000 (72)Inventor : ANDO TAKESHI

## (54) STATIC ELECTRICITY PROTECTION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a static electricity protection circuit for protecting a circuit element with a low insulation breakdown voltage by reducing a trigger voltage for causing a MOSFET to generate a snap-back operation.

**SOLUTION:** This static electricity protection circuit is provided with an nMOSFET for protection where a drain is connected to input/output terminals and a source and a substrate are connected to each grounding potential, a row of diodes consisting of at least one diode that is connected in series in a forward direction between the gate of the nMOSFET for protection and the input/output terminals, and a resistor that is connected between the gate of the nMOSFET for protection and the grounding potential.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## (19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-358297  
(P2001-358297 A)

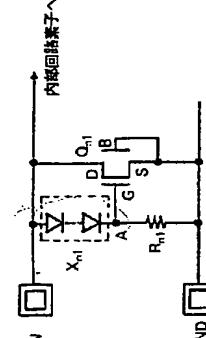
(43) 公開日 平成13年12月26日(2001.12.26)

(5) Int'l' 製別記号 H01L 27/04 21/822

特許2000-178770(P2000-178770)  
(22) 出願日 平成12年6月14日(2000.6.14)

審査請求 未請求 請求項の版30 O L (全 20 頁)  
 (71) 出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (72)発明者 安藤 岳  
 東京都港区芝五丁目7番1号 日本電気株式会社内  
 (74)代理人 100088328  
 井理士 金田 嘉之 (外 2 名)  
 Fチーム(参考) SF038 BH02 BH04 BH05 BH07 BH13  
 E220

(54) [発明の名稱] 電圧保護回路  
 (57) [要約] MOSFETがスナップオフ動作を起こすトリガーディテクトを下げて低い電圧保護回路の回路素子を保護することが可能な静電保護回路を提供する。  
 【解決手段】ドレンが入／出力端子と接続された保護用nMOSFETと、保護用nMOSFETのゲートと入／出力端子間に順方向に並列接続された少なくとも1つのダイオードから成るダイオード列と、保護用nMOSFETのゲートと接地電位間に接続された抵抗器とを有する構成とする。



## 【特許請求の範囲】

【請求項1】静電気にによる過電圧から半導体基板回路装置の内部回路素子の破壊を防止するための静電保護回路であつて、  
 ドレンが入／出力端子と接続され、ソース及び基板がそれぞれ接地電位と接続された保護用nMOSFETと、  
 前記保護用nMOSFETのゲートと接地電位間に接続された第1の抵抗器と、  
 前記入／出力端子間に印加される電圧が越えた場合にその値がそれぞれ設定され、  
 前記入／出力端子に印加される電圧が電圧値を超えたとき、前記保護用nMOSFETがオフ状態を維持するように、前記保護用nMOSFETのゲートと前記入／出力端子間に接続された保護用pMOSFETと、  
 前記保護用pMOSFETのゲートと接地電位間に接続された第2の抵抗器と、を有する静電保護回路。

【請求項2】前記入／出力端子に印加される電圧が後地電位から電源電圧のとき前記保護用nMOSFETがオフ状態を持し、前記入／出力端子に印加される電圧が電源電圧を越えたとき前記保護用nMOSFETがオフ状態を持するダイオード列及び前記保護用nMOSFETがオフ状態を維持するための静電保護回路。  
 【請求項3】静電気にによる過電圧から半導体基板回路装置の内部回路素子の破壊を防止するための静電保護回路であつて、  
 ドレンが入／出力端子と接続され、ソース及びゲートと、前記保護用nMOSFETの基板と前記入／出力端子間に接続された第1の抵抗器と、  
 前記保護用nMOSFETの基板と前記入／出力端子間に接続された第2の抵抗器と、を有する静電保護回路。

【請求項4】前記入／出力端子に印加される電圧が後地電位から電源電圧のとき前記保護用nMOSFETがオフ状態を持し、前記入／出力端子に印加される電圧が電源電圧を越えたとき前記保護用nMOSFETがオフ状態を持するダイオード列及び前記保護用nMOSFETがオフ状態を維持するための静電保護回路。  
 【請求項5】前記入／出力端子に印加される電圧が後地電位からソースに電流が流れで寄生バイオーラントラジオストラトが導通するよう前記ダイオード列を構成するダイオード数及び前記抵抗器の値が設定された請求項3記載の静電保護回路。

【請求項6】静電気にによる過電圧から半導体基板回路装置の内部回路素子の破壊を防止するための静電保護回路であつて、  
 ドレンが入／出力端子と接続され、ソース及び基板がそれぞれ接地電位と接続された保護用nMOSFETと、  
 前記保護用pMOSFETのゲートと前記入／出力端子間に接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用pMOSFETと、前記入／出力端子間に順方向に並列接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用pMOSFETと、前記入／出力端子間に接続され

前記ダイオード列と並行に、前記保護用nMOSFETのゲートと前記入／出力端子間に接続された第1の抵抗器と、  
 前記保護用nMOSFETのゲートと接地電位間に接続された第2の抵抗器と、を有する静電保護回路。  
 【請求項7】前記入／出力端子間に印加される電圧が後地電位から電源電圧のとき、前記保護用nMOSFETがオフ状態を維持するように、前記保護用nMOSFETのゲートと接地電位間に接続された第1の抵抗器が後地電位から電源電圧のとき前記保護用nMOSFETがオフ状態を持するダイオード列及び前記保護用nMOSFETがオフ状態を維持するための静電保護回路。  
 【請求項8】静電気にによる過電圧から半導体基板回路装置の内部回路素子の破壊を防止するための静電保護回路であつて、  
 ドレンが入／出力端子と接続され、ソース及びゲートと、前記保護用nMOSFETの基板と前記入／出力端子間に接続された第1の抵抗器と、  
 前記保護用nMOSFETの基板と前記入／出力端子間に接続された第2の抵抗器と、を有する静電保護回路。

【請求項9】前記入／出力端子間に印加される電圧が後地電位から電源電圧のとき前記保護用nMOSFETがオフ状態を持するダイオード列及び前記保護用nMOSFETがオフ状態を維持するための静電保護回路。  
 【請求項10】前記入／出力端子間に印加される電圧が後地電位から電源電圧のとき前記保護用nMOSFETがオフ状態を持するダイオード列及び前記保護用nMOSFETがオフ状態を維持するための静電保護回路。  
 【請求項11】静電気にによる過電圧から半導体基板回路装置の内部回路素子の破壊を防止するための静電保護回路であつて、  
 ドレンが入／出力端子と接続され、ソース及び基板がそれぞれ接地電位と接続された保護用nMOSFETと、  
 前記保護用pMOSFETのゲートと前記入／出力端子間に接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用pMOSFETと、前記入／出力端子間に順方向に並列接続された少なくとも1つのダイオードから成るダイオード列と、前記保護用pMOSFETと、前記入／出力端子間に接続され

イボーラトランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記第2の低抵抗器の値が設定された請求項1～6記載の静電保護回路。

【請求項1～8】 静電気による過電圧から半導体集積回路装置の内部回路素子の破壊を防止するための静電保護回路であつて、  
ドレインが入／出力端子と接続され、ソース及びゲートがそれぞれ電源と接続された保護用pMOSFETと、  
前記保護用pMOSFETの基板と前記入／出力端子間に  
に斯方向に直列接続された少なくとも1つのダイオードと  
から成るダイオード列と、  
前記ダイオード列と並行に、前記保護用pMOSFET  
の基板と前記入／出力端子間に接続された第1の低抵抗器  
と、  
前記保護用pMOSFETの基板と接続位間に接続さ  
れた第2の低抵抗器と、を有する静電保護回路。

【請求項1～9】 前記入／出力端子に印加される電圧が  
接電位立ち下落電圧の正のとき、前記保護用pMOSFET  
がオフ状態を維持し、前記入／出力端子に印加される電  
圧が正のとき前記保護用pMOSFETが導通するよ  
うに、

前記前記ダイオード列を構成するダイオード数、及び前記低  
抵抗器の値が設定された請求項1～9記載の静電保護回路。

【請求項1～13】 静電気による過電圧から半導体集積回  
路装置の内部回路素子の破壊を防止するための静電保護  
回路であつて、  
ドレインが入／出力端子と接続され、ソース及びゲート  
がそれぞれ電源と接続された保護用pMOSFETと、  
前記保護用pMOSFETの基板と前記入／出力端子間に  
に斯方向に直列接続された少なくとも1つのダイオードと  
から成るダイオード列と、  
前記ダイオード列と並行に、前記保護用pMOSFET  
の基板と前記入／出力端子間に接続された第1の低抵抗器  
と、  
前記保護用pMOSFETの基板と接続位間に接続さ  
れた第2の低抵抗器と、を有する静電保護回路。

【請求項1～9】 前記入／出力端子に印加される電圧が  
接電位立ち下落電圧の正のとき、前記保護用pMOSFET  
がオフ状態を維持するとき、前記保護用pMOSFET  
がOn状態となるとき、前記第1の低抵抗器及び  
第2の低抵抗器が導通するかしないかを切替わ

前記入／出力端子に印加される電圧が  
前記入／出力端子に印加される電圧が接地電位以下にな  
ったとき、前記保護用 p MOSFET のソースから基板  
に電流が流れて寄生バイオートランジスタが導通する  
ように、前記ダイオード列を構成するダイオード群、及  
び前記第 2 の低抵抗器の筋が設定された請求項 18 試験の  
静電保護回路。

【請求項 20】 前記第 1 の低抵抗器及び第 2 の低抵抗  
は、オフ状態に設定された p MOSFET である請求項  
16 乃至 19 のいずれか 1 項記載の静電保護回路、  
静電気による過電圧から半導体集積回  
路装置の内部回路素子の破壊を防止するための静電保護  
回路であって、  
ドレンが入／出力端子と接続され、ソース及び基板が  
それぞれ接地電位と接続された保護用 n MOSFET  
と、  
前記保護用 n MOSFET のゲートと前記入／出力端子  
間に順方向に直列接続された少なくとも 1 つのダイオー  
ドから成る第 1 のダイオード列と、  
前記保護用 n MOSFET のゲートと接地電位間に接続  
された第 1 の低抵抗器と、  
ドレンが前記入／出力端子と接続され、ソース及び基  
板がそれぞれ電源と接続された保護用 p MOSFET  
と、  
前記保護用 p MOSFET のゲートと前記入／出力端子  
間に順方向に直列接続された少なくとも 1 つのダイオー  
ドから成る第 2 のダイオード列と、  
前記保護用 p MOSFET のゲートと電源間に接続され  
た第 2 の低抵抗器と、  
前記入／出力端子に印加される電圧が接地電位以下にな  
ったとき、前記保護用 p MOSFET がオンして寄生バイ  
オートランジスタが導通する電圧の範囲で、前記第 2 の低抵抗  
の筋が設定された請求項 18 試験の  
静電保護回路。

がオフ電圧を維持し、前記入／出力端子に印加される電圧が電源電圧を超えたとき前記保護用n MOSFETがオフ電圧を維持し、前記入／出力端子に印加される電圧が接地電位から電源電圧の差のとき前記保護用p MOSFETがオフ状態を維持し、前記入／出力端子に印加される電圧が接地電位以下になったとき前記保護用p MOSFETがオンして再生バイポーラトランジスタが導通するように、前記第2のダイオード列を構成するダイオード数及び前記第2の抵抗器の値が設定された耐過電圧範囲。  
【請求項2】 前記電圧による過電圧から半導体集積回路、

路端遮断の内部回路端子の保護を防止するための静电保護  
ドレンが入／出力端子と接続され、ソース及びゲート  
がそれぞれ接地電位と接続された保護用nMOSFET  
と、  
前記保護用nMOSFETの基板と前記入／出力端子間  
に順方向に單列接続された少なくとも1つのダイオード  
から成る第1のダイオード列と、  
前記保護用nMOSFETの基板と接地電位間に接続さ  
れた第1の低抵抗器と、  
ドレンが前記入／出力端子と接続され、ソース及びゲ  
ートがそれぞれ電源と接続された保護用pMOSFET  
と、  
前記保護用pMOSFETの基板と前記入／出力端子間  
に順方向に單列接続された少なくとも1つのダイオード  
から成る第2のダイオード列と、  
前記保護用pMOSFETの基板と接地電位間に接続された  
第2の低抵抗器と、を有する静電保護回路。  
【請求項2-4】 前記入／出力端子に印加される電圧が  
接地電位から電源電圧のとき前記保護用nMOSFET  
がオフ状態を維持し、前記入／出力端子に印加される電  
圧が電源電圧を超えたとき前記保護用nMOSFETの  
基板からソースに電流が流れて寄生バイポーラトランジ  
スタが導通するようすに、前記第1のダイオード列を構成  
するダイオード数、及び前記第1の低抵抗器の値が設定さ  
れ、  
前記入／出力端子に印加される電圧が接地電位から電源  
電圧のとき前記保護用pMOSFETがオフ状態を維持  
し、前記入／出力端子に印加される電圧が接地電位以下  
になつたとき前記保護用pMOSFETのソースから基  
板に電流が流れて寄生バイポーラトランジスタが導通す  
るようすに、前記第2のダイオード列を構成するダイオー  
ド数、及び前記第2の低抵抗器の値が設定された請求項2  
の静電保護回路。

前記第2の抵抗器は、オフ状態に設定されたPMOSFETである時負荷電流 $I_L$ を2.4のいずれか1段階値の範囲で調整可能。  
【問題2-6】静電気による過剰電圧から半導体部品を防止するための構造例回答  
路路構造の内部回路端子の絶縁を防止するための構造例回答  
回路でちって、  
ドラインが入／出力端子と接続され、ソース及び基板がそれそれぞれ地電位と接続された構造用nMOSFET

がそれ接地電位と接続された保護用nMOSFE

[0002] 

イン (D) - 基板 (B) - ソース (S) を通して電源 V

された抵抗器と、を有する構成であり、前記入／出力端子に印加される電圧が施設内から施設外とのとき前記電圧がMOSFETがオフ状態を維持し、前記入／出力端子に印加される電圧が施設外から施設内のとき前記保護回路によりMOSFETがオンして荷重バイオードを構成する電力端子に印加するように、前記ダイオードを構成する二極管と、前記端子の間で前記低周波器の直が設定された構成である。

このように從来の航電保護回路の入力端子 N に負電圧が印加されると、n MOSFET Qn 5 の基板 (B) とドレン (D) 間のpn接合を通して接地端子 GND から入力端子 N に電流が流れ、入力端子 I に印加される負の過電圧がクランプされる。一方、入力端子 N に正の過電圧が印加されると、n MOSFET Qn 5 の基板 (B) とドレン (D) 間のpn接合を通して地

[発引が所沢しよどする問題] 近年の半導体集成回路装置は、高集積化に伴つて内部回路素子が微細化され、破壊に至る電圧が低くなる傾向にある。例えば、MOS FETのゲート絶縁膜の厚さは、ゲート長が0.35μmの世代で7~8nm、0.25μmの世代で5~6nm、0.18μmの世代で3.5~4nmと世代を越すごとに薄くなる。ゲート絶縁膜の耐候強度は、およそ1.5MV/cmであるため、ゲート長が0.35μmの世代で1.0~1.2V、0.25μmの世代で7~9V、0.18μmの世代で5~6V程度になる。

この回路は、(1)の電源供給回路、(2)の基板抵抗流が流れると基板抵抗によって電圧降下が発生する回路、(3)の電源回路、(4)の MOSFET Q5 のソース (S) - 基板間の電位を正に保つ回路、(5)のドレイン (D) からなる新規ハイポーラトランジスタ群が導通するために起こる現象であり、図 3.0 に示すようにスナップバックと呼ばれる負性抵抗を有する電源 (V<sub>DD</sub>) - 電池 (1) を示す。

10012) 雷電気による過電圧と高耐圧性のものであるため、上記絶縁破壊耐圧以上の電圧が印加されたとしても直ちにゲート耐圧が破壊されるとは限らない。しかしながら、その場合でもトランジスタ特性が変動するとして信頼性が低下することがある。

10013) 上述のように、図2.8及び図2.9に示した能率の静電保護回路は、図3.0に示したようなMOSFETのナシバッハクによる電圧—電流特性を利用して過電圧を抑制している。これは、MOSFETの通常のオン抵抗値よりも寄生バイオーラントンシスル導通時

一方、図 2.9 に示した静電保護回路は、図 2.8 に示した静電保護回路の構成に加えて、入力端子 1 と電源 Vdd 間に挿入された、ドレイン (D) が入力端子 1 と接続され、ゲート (G)、ソース (S) 及び漏れ端子 (B) がそれぞれ電源 Vdd と接続された P チャネル MOSFET によって構成される。

の抵抗値の値が小さいことによる。

【0014】近作の内部回路素子の地線遮断圧は低下する傾向にあるため、トリガー電圧V<sub>T</sub>をより低く設定する必要がある。しかしながら、MOSFETの各種パラメータを変えるだけでトリガー電圧V<sub>T</sub>を所望の電圧に設定することは困難であるため、トリガー電圧V<sub>T</sub>を十分低い電圧に設定することができず、内部回路素子を保護することが困難になってしまっている。

【0015】本発明は上記したような前述の技術が有する問題点を解決するためになされたものであり、MOS

（例）図2-9、pmosfetと並び、qndと並んで静電保護回路は、電源Vddと地端子GNDが開放された状態では図2-8に示す静電保護回路と同様に動作する。また、接地面GNDが開放された状態では図2-9に示す静電保護回路と同様に動作する。また、入力端子INに電源Vdd以上の正電圧が印加されると、pmosfetとQ5のドレイン(D)と基板(B)間のpn接合を通して入力端子INから電源Vddに電流が流れ、入力端子INに印加される正の過電圧がクランプされる。

【課題を解決するための手段】上記目的を達成するため  
に、本発明の静電保護回路は、静電気による過電圧から半導  
体集積回路装置の内部回路素子の破壊を防止するための  
静電保護回路であつて、ドレンが入／出力端子と接続  
され、ソース及び基板がそれぞれ接地電位と接続された  
保護用nMOSFETと、前記保護用nMOSFETの

ると、PMOSFET Qp5の新バイポーラトランジスタが導通状態になり、PMOSFET Qn5のドレ

本論文はMOSFETと、前記緊湊型nMOSFETとの構成基板と前記ノット出力端子間に順方向に直列接続された少

記述のオーデリオと並行に、前記保護用nMOSFETの基板と前記入／出力端子間に接続された第1の抵抗器と、前記保護用nMOSFETの基板と接地電位間に接続された第2の抵抗器と、を有する構成であり、前記入／出力端子に印加される電圧が接地電位から地原電圧の差が導通するよう前に、前記第一の抵抗器及び第二の抵抗器の値がそれぞれ設定され、前記入／出力端子に印加される地圧が直線的に増減するよう前に、前記保護用nMOSFETの基板と前記入／出力端子間に電流が流れて蓄電ハイポーラトランジスタが導通するよう前に、前記ダイオード列を構成するダイオード数、及び前記第2の抵抗器の値が設定された構成である。

【0020】ここで、前記伝送器、あるいは前記第1の低抵抗器及び第2の抵抗器は、ナフ状態に設定されたnMOSFETであることが望ましい。

【0021】また、本発明の静電保護回路の他の構成部は、静電気による沿歴子の破壊を防止するための静電保護回路であつて、ドレンが入/出力端子と接続され、ソース及び基板がそれぞれ電源と接続された保護用PMOSFETと、前記駆動用PMOSFETとのゲートと前記入/出力端子間に断続的に接続された少くとも1つのダイオード並列と、前記保護用PMOSFETとのゲートと同様に接続された抵抗器と、を有する構成であり、前記入/出力端子に印加される电压が接続されたとき前記保護用PMOSFETがオフ状態を維持し、前記入/出力端子に印加される电压が接地電位以下になったとき前記保護用PMOSFETが導通するよう構成である。

[0022] または、静電気による過電圧から半導体集積回路表面の外部回路端子の破壊を防止するための静電保護回路であって、ドレインが入／出力端子と接続され、ソース及びゲートがそれと電源と接続された保護回路用PMOSFETと、前記保護回路用PMOSFETの基板間に前記保護回路用PMOSFETと前記保護回路用PMOSFETから成るダイオード列と、前記保護回路用PMOSFETの基板と电源間に接続された低抵抗器とを有する構成であり、前記ノ/出力端子に印加された電圧が接地電位から電源電位のとき前記保護回路用PMOSFETがオフ状態を維持し、前記ノ/出力端子に印加された電圧が接地電位以下にならなかったとき前記保護回路用PMOSFETのソース/トランジスタが導通するように、前記ダイオード列を構成するダイオード数、及び前記抵抗器の値が設定された構成である。

[0023] または、静電気による過電圧から半導体集積回路表面の外部回路端子の破壊を防止するための静電

保険回路であって、ドレンが入／山ガ器子と接続され、ソース及び漏出がそれぞれ電源と接続された保険用 pMOSFET と、前記保険用 pMOSFET のゲートと前記入／出力端子間に並列接続された少なくとも 1つダイオードから成るダイオーデ列と、前記ダイオーデ列と並行に、前記保険用 pMOSFET のゲートと前記入／出力端子間に接続された第1の抵抗器と、前記第1の抵抗器と接続された第2の抵抗器と、を有する構成であり、前記入／出力端子に印加される電圧が接地電位から電源電圧との間に印加されると、前記保険用 pMOSFET がオフ状態を維持するよう構成する。すなはち、前記第1の抵抗器がそれぞれ独立して動作され、前記第2の抵抗器が後述

[100215] ここで、前記抵抗器、あるいは前記第 1 の半導体抵抗器及び第 2 の抵抗器は、オフ状態に設定された pMOSFETであることが望ましい。

[100216] また、前記 nMOSFET及びそれに接続されたダイオード列、抵抗器と、前記 pMOSFET及びそれに接続されたダイオード列、抵抗器とを組み合わせて用いることとする。

[100217] 上記のように構成された静電誘導回路で印加される電圧が電源電圧を越える場合以下に異なるなど異常な時に、保護用 nMOSFET、または保護用 pMOSFETの基板電流が増加して、スナップバックのトリガ電圧を下げることができる。

【0028】 「発明の実施の形態」次に本発明について図面を参照して説明する。

【0029】 (第1の実施の形態) 図1は本発明の静電気保護回路の第1の実施の形態の構成を示す回路図であり、図2は本発明の静電気保護回路の第1の実施の形態の他の構成を示す回路図である。

【0030】 図1に示すように、本実施形態の静電気保護回路は、ドレイン(D)が入力端子1Nと接続され、ソース(S)及び基板(B)がそれぞれ地電位GNDと接続されたnMOSFET Qn1と、nMOSFET Qn1と入力端子1N間に直列接続されたゲート(G)と入力端子1N間に反並列接続された少なくとも1つのダイオードから成るダイオードQn1のゲート(G)と入力端子1N間に直列接続

ドレイン 1 と、nMOSFET Qn 1 のゲート (G) と接続された低抵抗 Rn 1 を有する構成である。

[0031] また、図 2 に示す静電遮断回路は、図 1 に示した静電遮断回路の構成に加えて、ドライン (D) が入力端子 IN と接続され、ソース (S) 及び基板 (B) がそれぞれ電源 Vdd と接続された pMOSFET Qp 1 と、pMOSFET Qp 1 のゲート (G) と入力端子 IN 間に断続的に直列接続された少なくとも 1 つのダイオードから成るダイオード Xp 1 と、pMOSFET Qp 1 のゲート (G) と電源 Vdd 間に接続された低抵抗器 Rp とを有する構成である。

図 2 が示すように、図 1 に示した静電遮断回路の実施例を示す回路図であり、図 4 が図 2 に示した静電遮断回路の実施例を示す回路図である。

[0033] 図 3 に示すように、図 1 に示した静電遮断回路の低抵抗 Rn 1 は nMOSFET Qrn 1 を介して構成することが可能である。nMOSFET Qrn 1 のドレン (D) は nMOSFET Qn 1 のゲート (G)

と接続され、nMOSFET Q<sub>r n1</sub>のソース(S)、ゲート(G)、及び基板(B)はそれぞれ接地電位GNと接続される。

[0034]また、図4に示すように、図2に示した静電容量回路の底版器R<sub>p1</sub>はpMOSFET Q<sub>r p1</sub>を用いて構成することが可能である。pMOSFET Q<sub>r p1</sub>のドレイン(D)はpMOSFET Q<sub>p1</sub>のゲート(G)と接続され、pMOSFET Q<sub>r p1</sub>のソース(S)、ゲート(G)、及び基板(B)はそれぞれ電源V<sub>d</sub>と接続される。なお、図4に示す底版器R<sub>n1</sub>も図3と同様にnMOSFET Q<sub>r n1</sub>を用いて構成することができる。

[0035]このようない構成において、次に本実施形態の静電容量回路の動作について、図3及び図4に示した回路を例として説明する。

[0036]図3において、入力端子INに入力電圧V<sub>i</sub>が印加されるととき、オーディオード列X<sub>n1</sub>とnMOSFET Q<sub>r n1</sub>の接続点(ノードH)の電位V<sub>H</sub>

【0028】**【発明の実施の形態】** 次に本発明について図面を参照して説明する。

【0029】(第1の実施の形態) 図1は本発明の静電保護回路の第1の実施の形態の構成を示す回路図である。図2は本発明の静電保護回路の第1の実施の形態の構成を示す回路図である。

【0030】図1に示すように、本実施形態の静電保護回路は、ドレイン(D)が入力端子INと接続され、ソース(S)及び基板(B)がそれぞれ接地電位GNDと接続されたnMOSFET Qn1と、nMOSFET Qn1のゲート(G)と入力端子IN間に断続方向に並びオーバードライブされたnMOSFET Qn2から成るゲート

ドレイン (D) と、nMOSFET Qn1 のゲート (G) と接続された低抗器 Rn1 とを有する構成である。

【0031】また、図2に示す静電保護回路は、図1に示した静電保護回路の構成に加えて、ドレイン (D) が人力端子 IN と接続され、ソース (S) 及び基板 (B) がそれぞれ遮断端子 Vd と接続された pMOSFET Qp1 と、pMOSFET Qp1 のゲート (G) と入力端子 IN 間に断り方向に直列接続された少なくとも一つのダイオードから成るダイオード Xp1 と、pMOSFET Qp1 のゲート (G) と電源端子 Vd 間に接続された抵抗 Rp1 とを有する構成である。

【0032】図3は図1に示した静電保護回路の実施例を示す回路図であり、図4は図2に示した静電保護回路の実施例を示す回路図である。

【0033】図3に示すように、図1に示した静電保護回路の低抗器 Rn1 は nMOSFET Qrn1 を用いて構成することが可能である。nMOSFET Qrn1 のドレイン (D) は nMOSFET Qrn1 のゲート (G)

と接続され、nMOSFET Qr n1のソース(S)、ゲート(G)、及び基板(B)はそれぞれ接地電位GN Dと接続される。

[0034]また、図4に示すように、図2に示した電源保護回路の抵抗器Rp1はpMOSFET Qr p1を用いて断続することが可能である。pMOSFET Qr p1のドレイン(D)はpMOSFET Qp1のゲート(G)と接続され、pMOSFET Qr p1のソース(S)、ゲート(G)、及び基板(B)はそれぞれ電源Vrdと接続される。なお、図4に示す抵抗器Rn1も図3と同様にnMOSFET Qr n1を用いて構成することができる。

[0035]このような構成において、依次に本実施形態の静電保護動作について、図3及び図4に示した回路を例にして説明する。

[0036]図3において、入力端子INに入力電圧inが印加されているとき、タイオード列Xn1とnMOSFET Qr n1の接続点(ノードA)の電位Va

は、ダイオード列X<sub>n</sub>1の順方向低抵抗とnMOSFET Q<sub>n</sub>1のオフ抵抗とで入力電圧V<sub>IN</sub>を分圧した値となる。

[図037] ダイオード列X<sub>n</sub>1の順方向低抵抗は、ダイオード列X<sub>n</sub>1のダイオード数kとその断面方向電圧V<sub>F</sub>の積 (k × V<sub>F</sub>)よりも入力電圧V<sub>IN</sub>が低いときには低抵抗 (例えば、10nΩ程度) となり、(k × V<sub>F</sub>)よりも入力電圧V<sub>IN</sub>が高いときには低抵抗 (例えば100nΩ程度) となる。一方、nMOSFET Q<sub>n</sub>1のオフ抵抗の値は、寄生バイポーラトランジスタが導通するまでは入力電圧V<sub>IN</sub>に対して低値ながら示さないため、ほぼ一定と見なすことができる (例えば10nΩ程度)。

[0038] したがって、ノードへの電位  $V_A$  は、入力電圧  $V_{IN}$  がダイオード数  $k$  と断片面電圧  $V_T$  の積 ( $k \times V_T$ ) よりも低いときは接地電圧  $GND$  とほぼ等しく、入力電圧  $V_{IN}$  が ( $k \times V_T$ ) よりも高くなると、例えば、図5に示すように入力電圧  $V_{IN}$  とともに増加する。なお、図5はダイオード列  $X_{N1}$  のダイオード数  $k = 4$  (実験)、 $k = 6$  (点線) のときの値を示している。

[0039] 本実施形態では、入力電圧  $V_{IN}$  が電源電圧  $V_{DD}$  を越えたとき、保護回路の nMOSFET  $Q_{N1}$  のゲートにしきい値電圧  $V_{TH}$  以上の電圧が印加されると同時に、ダイオード列  $X_{N1}$  のダイオード数  $k$ 、及び nMOSFET  $Q_{T1}$  のオフ抵抗値 (しきい値電圧) をそれぞれ設定する。図5では、電源電圧  $V_{DD}$  を、例えば、 $1.0V$  ( $k=4$ ) と  $1.8V$  ( $k=6$ ) に設定している。

[0040] このように設定することで、図3に示した静的保険回路は、入力電圧  $V_{IN}$  が通常電圧 ( $0.5V \leq V_{IN} \leq V_{DD}$ ) のときは保護回路の nMOSFET  $Q_{N1}$  が

[0041] したがって、ダイオード列Xn1のダイオード数k<sub>n</sub>あるいはnMOSFETQn1のオフ抵抗(しきい値耐圧)を調整することで、トリガー電圧V<sub>t</sub>を希望の電圧(低電圧)に設定することができるた  
一辺でV<sub>t</sub>1が図6に示すように低下する(V<sub>t</sub>  
1'...)。

[0042] したがって、ダイオード列Xn1のダイオード数k<sub>n</sub>あるいはnMOSFETQn1のオフ抵抗(しきい値耐圧)が低い場合には路線ノイズの駆除を防止する  
ことができる。

[0043] なお、図1または図3に示した入力端子1に負電圧が印加されると、従来と同様に、nMOSFETQn1のドレイン(D)と基板(B)間のpn接合を通じて路端電圧GNDから入力端子1に電流が流れ、入力端子1に流入される負の過電圧がクリアされ

FET Qrn1の構造は図7と同様であるため、その説明は省略する。

【0049】図7において、図3に示した静電保護回路は、電源Vddが開放された状態では図3に示した静電保護回路と同様に動作する。また、接地電位GNDが開放された状態では、入力端子INに電源Vdd以上の正電圧が印加されると、PMOSFET Qpのドレイン(D)と基板(B)間のpn接合を通して入力端子INから電流Vddに電流が流れ、入力端子INに入力される正の過電圧がクランプされる。

【0049】さらに、図3に示した静電保護回路と同様にして、入力電圧VINが接地電位GND以下になったとき、保護用のPMOSFET Qp1がオンするよう、ダイオード列Xp1のダイオード電圧k<sub>d</sub>及びPMOSFET Qrn1のオフ電圧値(しきい電圧)VEをそれぞれ設定すれば、入力電圧VINが過電圧(0.5VIN≤Vdd)のときは保護用のPMOSFET Qp1がオフ状態となる。したがって、図3に示したnMOSFET Qn1と同様に、チャネル電流が流れ、インバクトイオノ化が促進されるために基板電流も増加し、スナップバックのトリガーア電圧VINが低下する。

【0045】よって、図4に示した静電保護回路は、nMOSFET Qrn1の寄生バイオーラントンジスタのトライガーア電圧VINだけでなく、PMOSFET Qp1の寄生バイオーラントンジスタのトリガー電圧VINも低下させることでできるため、電源Vdd、接地電位GNDいずれが開放された場合でも入力端子INに印加される正負それぞれの過電圧をクランプすることができる。

【0046】なお、図2及び図4に示した静電保護回路では、nMOSFET Qrn1とPMOSFET Qp1とそれを存する構成を示しているが、PMOSFET Qp1と、そのドレイン(G)に接続されるダイオード列Xp1、及び低抵抗器Rp1(またはPMOSFET Qrn1のドレイン(D))のみを有する構成であつてもよい。そのような構成であつても、PMOSFET Qp1の寄生バイオーラントンジスタのトリガー電圧VINを低下させることができるために、接地電位GND開放時、入力端子INに印加される負の過電圧をクランプすることができる。

【0047】次に、本実施形態の静電保護回路の構造について図面を用いて説明する。

【0048】図7は図3に示した静電保護回路がシリコン基板に形成された様子を示す断面図であり、図8は図4に示した静電保護回路がシリコン基板に形成された様子を示す断面図である。なお、図7はダイオード列Xn1として2個のダイオードを示している。また、図8は図4に示した静電保護回路のうち、PMOSFET Qp1、ダイオード列XP1(ダイオード2個)、及びPMOSFET Qrn1、ダイオード列Xp1の構造を示している。nMOSFET Qrn1と、ダイオード列Xn1、Xp1を構成する各ダイオードを、nMOSFET Qrn2及びnMOSFET Qp2

SFET Qrn1、Qrp1、あるいはpMOSFET Qp1、Qrp1と共に他の工程で形成することができたるため、從来の構造に比べて工程を削やすことなく本発明の静電保護回路を形成することができる。

【0063】(第2の実施形態)図9は本実施形態の静電保護回路の第2の実施形態の構成を示す回路図であり、例えば、700keVで2×1.013cm<sup>-2</sup>、500keVで4×1.012cm<sup>-2</sup>の条件でリソフ注入し、さらには、100keVで5×1.012cm<sup>-2</sup>の条件でヒ素を注入してnウェル2、4、23を形成する(図7に示したnウェル4と同時に形成される)。

【0057】次に、p型基板1上に厚さ3.5nm程度のゲート絶縁膜を形成し、その上に、例えば、厚さ1.50nm、幅1.8μmの多結晶シリコンから成るゲート電極5を形成する。

【0058】続いて、ゲート電極5をマスクとして用い、例えば、10keVで3×1.014cm<sup>-2</sup>の条件でp-MOSFETの形成領域に2層化ポロロン(BF)を注入して、ソース、ドレインとなるp+電極層(不図示)を形成した後、ゲート電極5の隙間に幅1.00nmの多結晶シリコンから成るゲート電極5を形成する。

【0059】次に、フォトレジスト、ゲート電極5及びサイドウォール(不図示)を形成する。

【0060】次に、ゲート電極5と接続されたpMOSFET Qp2と、pMOSFET Qp2の基板(B)と入力端子IN間に断続膜が少くとも1つのダイオードからなるダイオード列XP2と、pMOSFET Qp2の基板(B)と元源Vdd間に接続された低抵抗器Rp2とを有する構成である。

【0061】図11は図9に示した静電保護回路の実施例を示す回路図であり、図10に示した静電保護回路の実施例を示す回路図である。

【0067】図11に示すように、図9に示した静電保護回路の低抵抗器Rp2は第1の実施形態と同様にnMOSFET Qrn2を用いて構成することが可能である。

【0068】また、図12に示すように、図10に示した静電保護回路の低抵抗器Rp2は第1の実施形態と同様にpMOSFET Qp2を用いて構成することが可能である。

【0069】このような構成において、次に本実施形態の静電保護回路の動作について、図11及び図12に示した回路を例にして説明する。

【0070】図11に示すように、本実施形態の静電保護回路のダイオード列XP1及びnMOSFET Qrn1

【0056】図8において、図4に示した静電保護回路は、まずは、p型基板1中に、各素子を分離するための素子分離膜層2を4.00nm程度の深さで形成し、フォトレジストをマスクとして用いて、ダイオード列XP1の各ダイオードの形成領域及びpMOSFETの形成領域に、例えば、700keVで2×1.013cm<sup>-2</sup>、500keVで4×1.012cm<sup>-2</sup>の条件でリソフ注入し、さらには、100keVで5×1.012cm<sup>-2</sup>の条件でヒ素を注入してnウェル2、4、23を形成する(図7に示したnウェル4と同時に形成される)。

【0057】次に、p型基板1上に厚さ3.5nm程度のゲート絶縁膜を形成し、その上に、例えば、厚さ1.50nm、幅1.8μmの多結晶シリコンから成るゲート電極5を形成する。

【0058】続いて、ゲート電極5をマスクとして用い、例えば、10keVで3×1.014cm<sup>-2</sup>の条件でp-MOSFETの形成領域に2層化ポロロン(BF)を注入して、ソース、ドレインとなるp+電極層(不図示)を形成した後、ゲート電極5の隙間に幅1.00nmの多結晶シリコンから成るゲート電極5を形成する。

【0059】次に、フォトレジスト、ゲート電極5及びサイドウォール(不図示)を形成する。

【0060】次に、ゲート電極5と接続されたpMOSFET Qp2と、pMOSFET Qp2の基板(B)と入力端子IN間に断続膜が少くとも1つのダイオードからなるダイオード列XP2と、pMOSFET Qp2の基板(B)と元源Vdd間に接続された低抵抗器Rp2とを行する構成である。

【0061】図11は図9に示した静電保護回路の実施例を示す回路図であり、図12は図10に示した静電保護回路の実施例を示す回路図である。

【0067】図11に示すように、図9に示した静電保護回路の低抵抗器Rp2は第1の実施形態と同様にnMOSFET Qrn2を用いて構成することが可能である。

【0068】また、図12に示すように、図10に示した静電保護回路の低抵抗器Rp2は第1の実施形態と同様にpMOSFET Qp2を用いて構成することが可能である。

【0069】このような構成において、次に本実施形態の静電保護回路の動作について説明する。

【0070】図11に示すように、本実施形態の静電保護回路のダイオード列XP1及びnMOSFET Qrn1

[0077] また、第1の実施の形態のダイオード列Xn1及びn2は、第1の実施の形態のダイオード列TQn1と同様の構成であるため、ノードAの電位vAは、入力電圧vInがダイオード列Xn1とn2の並列回路のノードの電圧vDと傾き方向電圧V1の積( $k \times V_1$ )よりも高くなると入力電圧vInが( $k \times V_1$ )よりも低くなると入力電圧vInに比例して増加する。

[0078] 本実施形態では、入力電圧vInが傾き電圧EVn2を越えたとき、保護用のnMOSFET Qn2が遮断回路の構成要素(S)とノードの接合に断続電流が流れないように、ダイオード列Xn1のノード数n1及びn2及びnMOSFET TQn1のノード数n2がそれぞれ設定する。

[0079] 図13に示すように、本実施形態の静電容量の蓄積回路の第3の実施の形態の構成を示す回路図である。

[0080] 第3の実施の形態は、図13は本実施の静電容量の蓄積回路の第3の実施の形態の構成を示す回路図であり、図14は本実施の静電容量の蓄積回路の第3の実施の形態の構成を示す回路図である。

[0081] 図13に示すように、本実施形態の静電容量の蓄積回路は、ドレイン(D)が入力端子INと接続され、ソース(S)及び基板(B)がそれぞれ接地電位GNIN

[0072] このように設定することで、図11に示し  
た静電保護回路は、入力電圧  $V_{in}$  が通常電圧 (0.5V  
 $\leq V_{in} \leq V_{dd}$ ) のときは保護用のnMOSFET Qn2の  
人力電圧  $V_{in}$  が異常電圧 ( $V_{in} > V_{dd}$ ) のときガ特徴を持ち、人力電圧  $V_{in}$  が異常電圧 ( $V_{in} > V_{dd}$ ) のときは保護用のnMOSFET Qn2の  
ソース (S) のpn接合に順方向電流が流  
れるようになる。この順方向電流によってスナップバッ  
ックのトリガー電圧  $V_{trigger}$  が低下する。

[0073] 一方、図12に示した静電保護回路は、電  
源電圧  $V_{dd}$  が開放された状態では、図11に示した静電保  
護回路と同様に動作する。また、様地電位 GND が開放  
された状態では、図11に示した静電保護回路と同様に  
して、入力電圧  $V_{in}$  が通常電圧 (0.5V以下) になつたと  
きに、保護用のpMOSFET Qp2の基板 (B) とソ  
ース (S) とのpn接合に順方向電流が流れるように、  
ダイオード列Xp2のダイオード数k、及びpMOSF  
ET Qp2のオフ抵抗値 (しきい電圧正)

(10074) このように規定することで、入力電圧  $V_i$  が通常電圧 ( $V_{in} = V_d$ ) のときは保護用の pMOSFET Q2 がオフ状態を維持し、入力電圧  $V_i$  が異常電圧 ( $V_{in} < 0$ ) のときは保護用の pMOSFET Q2 の基板 (B) とソース (S) の pn結合に瞬方向電流が流れようになる。この順方向电流によってスナップバックのトリガ-電圧  $V_{trig}$  が低下する。(10075) したがって、本実施形態の静电保護回路も第1の実施形態の形態の静电保護回路と同様の効果を得ることができる。

(10076) なお、図10及び図11に示した静电保護回路では、nMOSFET Q2 と pMOSFET Q2 とをそれぞれ有する構成を示しているが、pMOSFET Q2 と、その基板 (B) に接続されるダイオード D1 と、基板 (B) と地端子 GND との間に pMOSFET Q2 と、反応抵抗器 R2 (または pMOSFET Q2 と R2) のみを有する構成であってもよい。そのような構成であっても、pMOSFET Q2 の動作ハイポードトランジスタのトリガ-電圧  $V_{trig}$  を低くさせることができるため、接地電圧 GND 開放時、入力端子 IN に

ある。PMOSFET Q<sub>r p</sub>3のドレイン (D) は入力端子 IN と接続され、ゲート (G) 及びソース (S) はそれぞれnMOSFET Q<sub>r p</sub>3のゲート (G) と接続される。基板 (B) は接地電位 GND と接続される。また、PMOSFET Q<sub>r p</sub>4のドレイン (D) は入力端子 IN と接続され、ゲート (G) 、ソース (S) 及び基板 (B) はそれぞれQ<sub>r n</sub>3と接続される。なお、図 1-5 と同様に、図 1-6 に示す抵抗器 R<sub>n 3</sub>とnMOSFET Q<sub>r n</sub>3を用いて構成することが可能であり、図 1-6 に示す抵抗器 R<sub>n 4</sub>とnMOSFET Q<sub>r n</sub>4を用いて構成することが可能である。

[0-08-4] このような構成において、次に本実施形態の特電気調節回路の動作について図 1-5及び図 1-6に示し

は、nMOSFET Q<sub>r n</sub>3に比べてチャネル幅が1/10以下程度で済むため、オフ電流もnMOSFET Q<sub>r n</sub>3の1/10以下程度となり、チップ全体の消費電力に影響を及ぼすことがない。

[0-08-9] 図 1-5に示すように、nMOSFET Q<sub>r n</sub>4のゲート (G) 、ソース (S) 、基板 (B) は同位置であり、nMOSFET Q<sub>r n</sub>3の基板 (B) はソース (S) に対して逆バイアスされている (ソースよりも基板の電位が低い)。よって、nMOSFET Q<sub>r n</sub>3のしきい値電圧 V<sub>t h</sub>とnMOSFET Q<sub>r n</sub>4のしきい値電圧 V<sub>t h</sub>よりも高くなり、nMOSFET Q<sub>r n</sub>3のオフ電流はnMOSFET Q<sub>r n</sub>4のオフ電流より 1/2倍大きくなる。このため、ノードへの電位 v<sub>d</sub>

[0085] 図 15において、入力端子 IN に入力電圧  $V_{in}$  が高くなると、ダイオード列  $Xn3$  と  $nMOSFETQrn4$  の接続点（ノード A）の電位  $V_a$  は、ダイオード列  $Xn3$  の順方向抵抗、または  $nMOSFETQrn3$  のオフ抵抗と、 $nMOSFETQrn4$  のオフ抵抗で入力電圧  $V_{in}$  を分圧した値となる。

[0086] ダイオード列  $Xn3$  の順方向抵抗は、ダイオード列  $Xn3$  のダイオード数  $k$  とその順方向電圧  $V_{fd}$  の積 ( $k \times V_{fd}$ ) よりも入力電圧  $V_{in}$  が低いときには高抵抗（例えば、10Ω程度）となり、( $k \times V_{fd}$ ) よりも入力電圧  $V_{in}$  が高いときには低抵抗（例えは、1Ω程度）となる。一方、 $nMOSFETQrn3$  及び  $nMOSFETQrn4$  のオフ抵抗は、寄生バイオポーランジスターが導通するまでは入力電圧  $V_{in}$  に対して値が依存性しか示さないため、ほぼ一定見なすことができる（例えは、1~10Ω程度）。

[0087] 図 15において、入力端子 IN に入力電圧  $V_{in}$  が ( $k \times V_{fd}$ ) よりも高くなると、ノード B の電位  $V_b$  は、ダイオード列  $Xn3$  の順方向抵抗と  $nMOSFETQrn4$  のオフ抵抗で入力電圧  $V_{in}$  を分圧した値となり、図 5 に示したように入力電圧  $V_{in}$  とともに増加する。このとき、ダイオード列  $Xn3$ 、 $nMOSFETQrn3$ 、及び  $nMOSFETQrn3$  にそれぞれ流れれる電流の様子を図 17 に示す。なお、図 17 はダイオード列  $Xn3$  のダイオード数  $k$  が  $k = 4$  (実線) のときの様子をそれぞれ示している。

[0088] 本実施形態では、入力電圧  $V_{in}$  が電源電圧  $Vdd$  を越えたとき、保護回路の MOSFET  $Qn3$  のゲートにしきい値電圧  $V_{th}$  以上の電圧が印加されるとオンするよううに、ダイオード列  $Xn3$  のダイオード数  $k$ 、及び  $nMOSFETQrn4$  のオフ抵抗値（しきい値抵抗）をそれぞれ設定する。

[0087]したがって、入力電圧  $V_{in}$  がダイオード数  $k$  と断面面積  $(k \times V)$  の積 ( $k \times V$ ) よりも低いときは、ダイオード列  $X_n$  と  $n$  MOSFET  $Q_{rn4}$  の接続点 ( $N$ -ドア) の電位  $V_o$  は、 $n$  MOSFET  $Q_{rn3}$  のオフ抵抗と  $n$  MOSFET  $Q_{rn4}$  のオフ抵抗とで入力電圧  $V_{in}$  を分押した値となる。

[0088]このように、 $n$  MOSFET  $Q_{rn3}$  は入力電圧  $V_{in}$  が ( $k \times V$ ) よりも低いときは電流のバイパスとして機能する。ダイオード列  $X_n$  は入力電圧  $V_{in}$  が ( $k \times V$ ) よりも低いときは非常に低抵抗であり、実質的にオーバンに近い状態になることがある。このようないくつかの状況下で、もし  $n$  MOSFET  $Q_{rn3}$  が無ければ、ノードAの電位  $V_{oA}$  は、半導体ダイオード列  $X_n$  と  $n$  MOSFET  $Q_{rn4}$  のオフ抵抗とで入力電圧  $V_{in}$  を分押した値ではなくて、 $n$  MOSFET  $Q_{rn3}$  のゲート電圧などに駆動されるようになる。このような問題を避けるため、入力電圧  $V_{in}$  が ( $k \times V$ ) より低いときでもノードAに  $n$  MOSFET  $Q_{rn3}$  のオフ電流分の電流を流しておき、電位  $V_o$  が低抵抗範囲で走るるようにする。なお、 $n$  MOSFET  $Q_{rn3}$  がオフ状態では、入力端子  $I_N$  に直結され、電位  $V_o$  が正規範囲から離れる状態では、 $I_N$  に電流が流れることによって、電位  $V_o$  が正規範囲へ戻る。

[0092]このように設定することで、図15に示した静電保護回路は、入力電圧  $V_{in}$  が通常電圧 ( $0 \leq V_{in} \leq V_d$ ) のときは保護用の  $n$  MOSFET  $Q_{rn3}$  がオフ状態を維持し、入力電圧  $V_{in}$  が異常電圧 ( $V_{in} > V_d$ ) のときは保護用の  $n$  MOSFET  $Q_{rn3}$  がオン状態となる。 $n$  MOSFET  $Q_{rn3}$  がオン状態になると、チャネル電流が流れ、インバシティオニゼーションが促進されるために基板電流も増加し、スマップバックのトリガーアクションが図6に示したように低下する ( $V_{in} = V_d$ )。

[0093]したがって、第1の実施の形態と同様に、ダイオード列  $X_n$  3の個数  $k$  あるいは  $n$  MOSFET  $Q_{rn4}$  4のオフ抵抗 ( $k$  小さい値電圧) を調整することとで、トリガー電圧  $V_{trig}$  1を所望の電圧 (低電圧) に設定することができますため、始動触発電圧が低い半導体素子の破壊を防ぐことができる。

[0094]一方、図16に示した静電保護回路は、電源  $Vdd$  が開放された状態では図15に示した静電保護回路と同様に動作する。また、接地電位  $GND$  が開放された状態では、入力端子  $I_N$  に直結され、電位  $V_o$  が正規範囲から離れる状態では、 $I_N$  に電流が流れることによって、電位  $V_o$  が正規範囲へ戻る。

が印加されると、pMOSFET Q p 3のドレイン (D) と基板 (B) 間の結合を通して入力端子 1N から電源 V dd に電流が流れ、入力端子 1N に入力され正の過電圧がランプされる。

[01095] さらに、図 15 に示した静電保護回路と同様にして、入力電圧 V in が接地電位 GND 以下になたとき、保護用の pMOSFET Q p 3がオノンする。このとき、ダイオード列 X p 3 のダイオード数 k、及び MOSFET Q p 4 のオフ抵抗値 (大きい値) をそれ設定すれば、入力電圧 V in が通常電圧 (0 ≤ V in ≤ V d) のときは保護用の pMOSFET Q p 3がオフ状態を維持し、入力端子 V in が異常電圧 (V in < 0) のときは保護用の pMOSFET Q p 3がオン状態となる。したがって、図 15 に示した nMOSFET Q n 3 と同様に、チャッカ流れるが減り、インバクタオブン化が促進されるために基板電圧も増加し、スナップバックのトリガーレベルが低下する。

[01096] また、図 16 に示した静電保護回路は、第 1 の基板の形態と同様に、nMOSFET Q n 3 の寄生バイポーラトランジスタのトリガー電圧 V t 1だけではなく、pMOSFET Q p 3 の寄生バイポーラトランジスタのトリガーレベル V t 1も低下させることもできるため、電源 V dd、接地電位 GND いずれが開放された場合でも、入力端子 1N に印加される正負それぞれの過電圧をランプすることができます。

[01097] 図 2 0において、図 15 に示した静電保護回路は、まず、P型基板 1 中に、各素子を分離するための素子分離帯 2 を 4.0 nm 程度の深さで形成し、P 型オレジストをマスクとして用いて、nMOSFET Q in と V dd のときには、nMOSFET Q n 3 または pMOSFET Q p 3 を確実にオフ状態で維持させた後、nMOSFET Q n 3 のオフ抵抗値と nMOSFET Q p 4 のオフ抵抗値、あるいは pMOSFET Q p 3 のオフ抵抗値と pMOSFET Q p 4 のオフ抵抗値を設ければよい。

[01098] 例えば、nMOSFET Q n 3 のゲート長を nMOSFET Q p 4 のゲート長よりも長めに設定する方法がある。短いチャッカ領域ではゲート長を 0.1 nm 短くすれば、しきい値電圧 V t 1 は、例えば、約 0.1 V 高くなるためオフ抵抗値は約 1 倍大きくなる。

[01099] また、オフ抵抗値に差を設ける構成として、図 18 に示すように nMOSFET Q n 3 のゲート (G) を接地電位 GND と接続した構成、または、図 19 に示すように pMOSFET Q p 3 のゲート (G) を電源 V dd と接続した構成もある。この場合、nMOSFET Q n 3 及び pMOSFET Q p 3 のオフ抵抗値が、より強くオフする方向に動作するため、nMOSFET Q n 3 及び pMOSFET Q p 3 のオフ抵抗値を、nMOSFET Q n 3 のゲート長で 4 のオフ抵抗値よりも大きくすることができる。

[01100] なお、図 14、図 16 及び図 19 に示した静電保護回路では、nMOSFET Q n 3 と pMOSFET Q p 3 をそれぞれマスクとして用い、例えば、5.0 keV で 3 × 10<sup>15</sup> cm<sup>-2</sup> の条件で、nMOSFET の形成領域及びダイオードの形成領域にそれぞれヒ素を注入してドアヒューズ層 3 1～3.3、3.7 を形成すれば、5.0 keV で 3 × 10<sup>15</sup> cm<sup>-2</sup> の条件で、n+拡散層 6～1.0 と耐圧層 6～1.0 と耐圧層を形成する。ここで、6 はダイオード列 X p 3 を構成する各ダイオードのカソード、7 は nMOSFET Q n 4 のドレイン (D)、8 は pMOSFET Q p 4 の基板 (B) に配線を行うための n ウエルコントラクト (S)、9 は pMOSFET Q p 3 の基板 (B) に配線を行うための n ウエルコントラクト (S)、10 は nMOSFET Q n 3 のソース (S)、1.5 は nMOSFET Q n 3 のドレイン (D)、1.6 は nMOSFET Q p 3 の基板 (B) に配線を行うための n ウエルコントラクトとなる。

[01101] 次に、本実施形態の静電保護回路の構造方法について説明する。

[01102] 図 2 0 に示した静電保護回路がシリコン基板に形成された様子を示す側面図であり、図 2 1 は図 16 に示した静電保護回路がシリコン基板に形成された様子を示す側面図である。また、図 2 1 は図 16 に示した静電保護回路のうち、pMOSFET Q p 3、ダイオード列 X p 3 と 2 個のダイオードを示している。一方で、図 2 1 は nMOSFET Q p 4 の基板 (B) に配線を行うための p ウエルコントラクト、1.3 は nMOSFET Q n 3 の基板 (B) に配線を行うための n ウエルコントラクト、1.7 は pMOSFET Q p 4 のソース (S)、2.9 は pMOSFET Q p 3 のドレイン (D)、3.0 は nMOSFET Q p 3 のソース (S)、3.5 は pMOSFET Q p 4 のドレイン (D)、3.6 は pMOSFET Q p 3 のドレイン (D)、3.6 は pMOSFET Q p 3 D のソース (S) となる。

[01103] 次に、フォトレジストをマスクとして用い、例えば、3.0 keV で 3 × 10<sup>15</sup> cm<sup>-2</sup> の条件でダイオードの形成領域及び pMOSFET の形成領域に 2 フラッシュボロン (BF2) を注入して p+拡散層 2 6～3.0、3.5、3.6 を形成する (図 2 0 に示した p+拡散層 1 1～1.3 と同時に形成される)。ここで、2.6 はダイオード列 X p 3 を構成する各ダイオードのアーノード、2.7 は pMOSFET Q p 4 のドレイン (D)、2.8 は pMOSFET Q p 4 のソース (S)、2.9 は pMOSFET Q p 3 のドレイン (D)、3.0 は nMOSFET Q p 3 のソース (S)、3.5 は pMOSFET Q p 4 のソース (S) となる。

[01104] 次に、ゲート電極 5、p+拡散層 2 6～3.0、3.5、3.6、n+拡散層 3 1～3.3、3.7 の表層を形成し、層間絶縁膜 (不図示) を形成した後、各コバルトリサイド層 1.4 上に電極を形成する。各コバルトリサイド層 1.4 上に電極を形成した後、各コバルトリサイド層 1.4 上に層間絶縁膜 (不図示) を形成した後、各コバルトリサイド層 1.4 上に電極を形成する。

[01105] 以上のように構造を有することで、ダイオード列 X p 3、X p 3 と pMOSFET Q n 3、Q n 3、Q n 4、あるいは pMOSFET Q n 3、Q r n 3、Q r n 4 と共通の工程で形成することが可能となる。

[01106] 図 2 1において、図 16 に示した静電保護回路は、まず、P型基板 1 中に、各素子を分離するための素子分離帯 2 を 4.0 nm 程度の深さで形成し、P 型オレジストをマスクとして用いて、nMOSFET Q p 3 の各ダイオード及び pMOSFET の形成領域に、

[01107] 例えは、7.0 keV で 2 × 10<sup>13</sup> cm<sup>-2</sup>、500 keV で 4 × 10<sup>12</sup> cm<sup>-2</sup> の条件でヒ素を注入し、さらに、1.0 keV で 5 × 10<sup>12</sup> cm<sup>-2</sup> の条件でヒ素を注入して n ウエルコントラクトを形成する。

[01108] 例えは、7.0 keV で 2 × 10<sup>13</sup> cm<sup>-2</sup>、500 keV で 4 × 10<sup>12</sup> cm<sup>-2</sup> の条件でヒ素を注入し、その後のゲート電極を形成し、その上に、例えは、厚さ 1.5 nm、幅 1.8 μm の多結晶シリコンから成るゲート電極 5 を形成する。

[01109] 次に、ゲート電極 5 をマスクとして用い、例えは、1.0 keV で 3 × 10<sup>14</sup> cm<sup>-2</sup> の条件で pMOSFET の形成領域に 2 フラッシュボロン (BF2) を注入して、ソース、ドレイン 5 を p+拡散層 (不図示) を形成した後、ゲート電極 5 の側壁に幅 1.0 nm 程度の側壁から成るサイドウォール (不図示) を形成する。

[01110] 次に、P型基板 1 上に厚さ 3.5 nm 程度のゲート氧化膜を形成し、その上に、例えは、厚さ 1.5 nm、幅 0.18 μm の多結晶シリコンから成るゲート電極 5 を形成する。

[01111] 次に、ゲート電極 5 をマスクとして用い、例えは、1.0 keV で 3 × 10<sup>14</sup> cm<sup>-2</sup> の条件で nMOSFET の形成領域に 2 フラッシュボロン (BF2) を注入して、ソース、ドレイン 5 を n+拡散層 (不図示) を形成した後、ゲート電極 5 の側壁に幅 1.0 nm 程度の側壁から成るサイドウォール (不図示) を形成する。

[01112] 次に、ゲート電極 5 をマスクとして用い、例えは、1.0 keV で 3 × 10<sup>14</sup> cm<sup>-2</sup> の条件で pMOSFET の形成領域に 2 フラッシュボロン (BF2) を注入して、ソース、ドレイン 5 を n+拡散層 (不図示) を形成した後、ゲート電極 5 の側壁に幅 1.0 nm 程度の側壁から成るサイドウォール (不図示) を形成する。

[01113] 次に、フォトレジスト、ゲート電極 5、及びサイドウォールをそれぞれマスクとして用い、例えは、5.0 keV で 3 × 10<sup>15</sup> cm<sup>-2</sup> の条件で、pMOSFET Q n 4 の基板 (B) と接続された低抵抗 R n 5 と、nMOSFET Q n 4 の基板 (B) と接続された低抵抗 R n 6 とを有する構成である。

[01114] また、図 2 3 に示した静電保護回路は、図

2に示した静電保護回路の構成に加えて、ドライン(D)が入力端子INと接続され、ソース(S)及びゲート(G)を接地電位V<sub>d</sub>と接続されたpMOSFETQ<sub>p4</sub>と、pMOSFETQ<sub>p4</sub>の基板(B)と入力端子V<sub>d</sub>と接続されたnMOSFETQ<sub>n4</sub>の基板(B)とソース(S)のpn接合に順方向電流が流れるように、ダイオード列X<sub>p4</sub>と、pMOSFETQ<sub>p4</sub>と、pMOSFETQ<sub>p5</sub>と、pMOSFETQ<sub>p4</sub>の基板(B)と入力端子V<sub>d</sub>間に接続された低抵抗R<sub>p6</sub>とを有する構成である。

[0120] 図2-4は図2-2に示した静電保護回路の実施例を示す回路図であり、図2-5は図2-3に示した静電保護回路の実施例を示す回路図である。

[0121] 図2-4に示すように、図2-2に示した静電保護回路の低抵抗R<sub>p5</sub>はnMOSFETQ<sub>n5</sub>を利用して構成することが可能であり、抵抗器R<sub>n6</sub>はnMOSFETQ<sub>n6</sub>を利用して構成することが可能である。

[0122] また、図2-5に示した静電保護回路は、電源V<sub>d</sub>が開放された状態で、(D)は入力端子INと接続され、ゲート(G)及びソース(S)はそれぞれnMOSFETQ<sub>n4</sub>の基板(B)と接続され、基板(B)は接地電位GNDと接続される。また、nMOSFETQ<sub>n6</sub>のドライン(D)はnMOSFETQ<sub>n4</sub>の基板(B)と接続され、ゲート(G)、ソース(S)及び基板(B)はそれぞれ接地電位GNDと接続される。

[0123] また、図2-5に示すように、図2-3に示した静電保護回路の低抵抗R<sub>p5</sub>はpMOSFETQ<sub>p5</sub>を用いて構成することが可能であり、抵抗器R<sub>p6</sub>はpMOSFETQ<sub>p6</sub>を利用して構成することが可能である。pMOSFETQ<sub>p5</sub>のドライン(D)は入力端子V<sub>d</sub>と接続され、ゲート(G)及びソース(S)はそれぞれpMOSFETQ<sub>p4</sub>の基板(B)と接続される。また、pMOSFETQ<sub>p6</sub>のドライン(D)はpMOSFETQ<sub>p5</sub>の基板(B)と接続され、ゲート(G)、ソース(S)及び基板(B)はそれぞれ接地電位GNDと接続される。

[0124] また、図2-5に示すように、図2-3に示した静電保護回路の低抵抗R<sub>p5</sub>はpMOSFETQ<sub>p5</sub>を用いて構成することで、入力電圧V<sub>iin</sub>が(  $k \times V_i$  )よりも高くなると入力電圧V<sub>iin</sub>に比例して増加する。

[0125] 本実施例では、入力電圧V<sub>iin</sub>が地電位電圧V<sub>d</sub>を超えたとき、保護用のnMOSFETQ<sub>n4</sub>の基板(B)とソース(S)のpn接合に順方向電流が流れるように、ダイオード列X<sub>p4</sub>と、pMOSFETQ<sub>p4</sub>と、pMOSFETQ<sub>p5</sub>と、pMOSFETQ<sub>p4</sub>の基板(B)と入力端子V<sub>d</sub>間に接続された少くとも1つのダイオードからなるダイオード列X<sub>p4</sub>と、pMOSFETQ<sub>p4</sub>と、pMOSFETQ<sub>p5</sub>と、pMOSFETQ<sub>p4</sub>の基板(B)と入力端子V<sub>d</sub>間に接続された低抵抗R<sub>p6</sub>とをそれぞれ選定する。

[0126] このように設定することで、図2-4に示した静電保護回路は、入力電圧V<sub>iin</sub>が通常電圧(0≤V<sub>iin</sub>≤V<sub>d</sub>)のときは保護用のnMOSFETQ<sub>n4</sub>がオフ状態を維持し、入力電圧V<sub>iin</sub>が異常電圧(V<sub>iin</sub>>V<sub>d</sub>)のときは保護用のnMOSFETQ<sub>n4</sub>の基板(B)とソース(S)のpn接合に順方向電流が流れようになる。この順方向電流によって、スナップバックのトリガーディテクタV<sub>t</sub>が低下する。

[0127]一方、図2-5に示した静電保護回路は、電源V<sub>d</sub>が開放された状態で、(D)は入力端子INと接続され、ゲート(G)及びソース(S)はそれぞれnMOSFETQ<sub>n4</sub>の基板(B)と接続され、基板(B)は接地電位GNDと接続される。また、nMOSFETQ<sub>n6</sub>のドライン(D)はnMOSFETQ<sub>n4</sub>の基板(B)と接続され、ゲート(G)、ソース(S)及び基板(B)はそれぞれ接地電位GNDと接続される。

[0128] また、図2-3に示した静電保護回路の構成は、直線及びpMOSFETのトリガー駆動V<sub>t</sub>を低下させることが可能である。この構成で、(D)は入力端子INと接続され、ゲート(G)及びソース(S)はそれぞれnMOSFETQ<sub>n4</sub>の基板(B)と接続され、基板(B)は接地電位GNDと接続される。また、nMOSFETQ<sub>n6</sub>のドライン(D)はnMOSFETQ<sub>n4</sub>の基板(B)と接続され、ゲート(G)及びソース(S)はそれぞれpMOSFETQ<sub>p4</sub>の基板(B)と接続され、ゲート(G)及びソース(S)のpn接合に順方向電流が流れるように、ダイオード列X<sub>p4</sub>と、pMOSFETQ<sub>p5</sub>と、pMOSFETQ<sub>p6</sub>と、pMOSFETQ<sub>p4</sub>の基板(B)と接続される。

[0129] したがって、本実施例の静電保護回路もが通常電圧(0≤V<sub>iin</sub>≤V<sub>d</sub>)のときは保護用のpMOSFETQ<sub>p4</sub>がオフ状態を維持し、入力電圧V<sub>iin</sub>が異常電圧(V<sub>iin</sub><0)のときは保護用のpMOSFETQ<sub>p4</sub>の基板(B)とソース(S)のpn接合に順方向電流が流れようになる。この順方向電流によって、スナップバックのトリガーディテクタV<sub>t</sub>が低下する。

[0130] ところで、第3の実施例の形態と同様に、入力電圧V<sub>iin</sub>が通常電圧(0≤V<sub>iin</sub>≤V<sub>d</sub>)のときに、nMOSFETQ<sub>n4</sub>またはpMOSFETQ<sub>p4</sub>を直列に接続することで、(D)とpn接続され、(D)とソース(S)及び基板(B)はそれぞれ接地電位GNDと接続される。

[0131] このような構成において、次に本実施例の静電保護回路の動作について図2-4及び図2-5に示した回路を例にして説明する。

[0132] 図2-4に示すように、本実施例の静電保護回路のダイオード列X<sub>n4</sub>及びnMOSFETQ<sub>n5</sub>は、第3の実施例の形態のダイオード列X<sub>p4</sub>とpn接続され、(D)とpn接続され、(D)とソース(S)及び基板(B)はそれぞれ接地電位GNDと接続される。

[0133] オフ抵抗面上に差を設ける構成としては、例えば、nMOSFETQ<sub>n5</sub>のゲート端をnMOSFETQ<sub>n6</sub>のゲート端よりも長めに設定する構成がある。

[0134] また、オフ抵抗間に差を設ける他の構成として、(D)とpn接続され、(D)とソース(S)及び基板(B)はそれぞれ接地電位GNDと接続される。

[0135] また、オフ抵抗間に差を設ける他の構成として、(D)とpn接続され、(D)とソース(S)及び基板(B)はそれぞれ接地電位GNDと接続される。

の構成を示す回路図である。

[図3] 図1に示した静電保護回路の実施例の構成を示す回路図である。

[図4] 図2に示した静電保護回路の実施例の構成を示す回路図である。

[図5] 人力駆動V<sub>iin</sub>に対するノードAへの電圧V<sub>a</sub>の関係を示すグラフである。

[図6] 本発明の静電保護回路の効果を示す図であり、入力電圧V<sub>iin</sub>に対する保護用のMOSFETの電流の関係を示すグラフである。

[図7] 本発明の静電保護回路がシリコン基板に形成された様子を示す側面面図である。

[図8] 図4に示した静電保護回路がシリコン基板に形成された様子を示す側面面図である。

[図9] 本発明の静電保護回路の第2の実施例の構成を示す回路図である。

[図10] 本発明の静電保護回路の第2の実施例の形態の構成を示す回路図である。

[図11] 図9に示した静電保護回路の実施例の構成を示す回路図である。

[図12] 図10に示した静電保護回路の実施例の構成を示す回路図である。

[図13] 本発明の静電保護回路の第3の実施例の構成を示す回路図である。

[図14] 本発明の静電保護回路の第3の実施例の構成を示す回路図である。

[図15] 本発明の静電保護回路の第3の実施例の構成を示す回路図である。

[図16] 本発明の静電保護回路の第4の実施例の構成を示す回路図である。

[図17] 図15に示した静電保護回路の人力駆動EV<sub>i</sub>に対する要部に流れる電流の関係を示すグラフである。

[図18] 図13に示した静電保護回路の他の実施例の構成を示す回路図である。

[図19] 図14に示した静電保護回路の他の実施例の構成を示す回路図である。

[図20] 図15に示した静電保護回路の人力駆動EV<sub>i</sub>に対する要部を示す側面面図である。

[図21] 図16に示した静電保護回路がシリコン基板に形成された様子を示す側面面図である。

[図22] 本発明の静電保護回路の第4の実施例の構成を示す回路図である。

[図23] 本発明の静電保護回路の第4の実施例の構成を示す回路図である。

[図24] 図21に示した静電保護回路の第4の実施例の構成を示す回路図である。

[図25] 図23に示した静電保護回路の実施例の構成を示す回路図である。

[図26] 図24に示した静電保護回路の他の実施例の構成を示す回路図である。

構成を示す回路図である。  
【図2.7】図2.3に示した静電保護回路の他の実施例の構成を示す回路図である。

【図2.8】往來の静電保護回路の一構成例を示す回路図である。

【図2.9】往來の静電保護回路の一構成例を示す回路図である。

【図3.0】往來の静電保護回路の他の構成例を示す回路図である。往來のMOSFETに施される電圧の関係を示すグラフである。

【参考の説明】  
1 p型基板  
2 素子分離段化版

3 プウェル  
4、2.3、2.4 ナウエル  
5 ゲート電極

n+拡散層

6～10、3.1～3.3 n+拡散層

1.1～1.3、2.6～3.0 p+拡散層

1.4 コンバルトシリサイド層

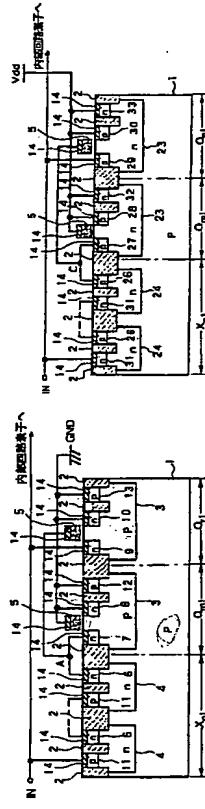
Qn1～Qn4、Qrn1～Qrn6 nMOSFE

T Qp1～Qp4、Qrp1～Qrp6 pMOSFE

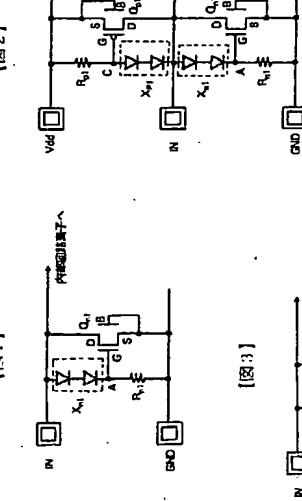
T Rn1～Rn6、Rp1～Rp6 抵抗器

Xn1～Xn4、Xp1～Xp4 ダイオード

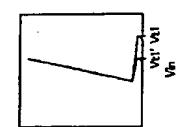
[図7]



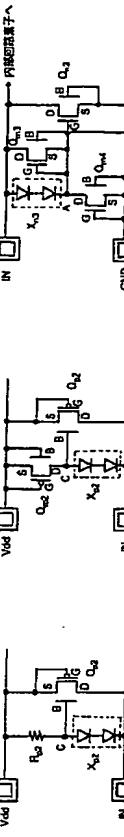
[図11]



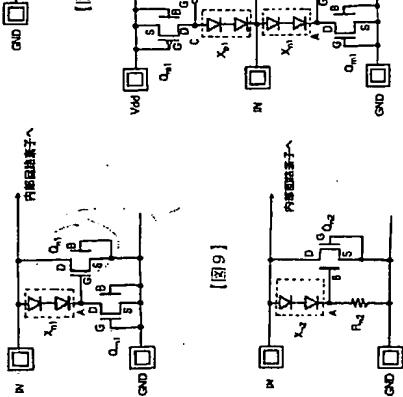
[図2]



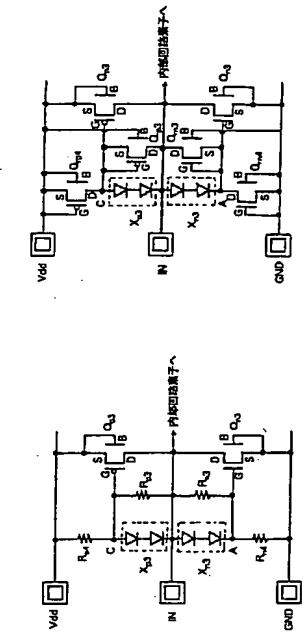
[図8]



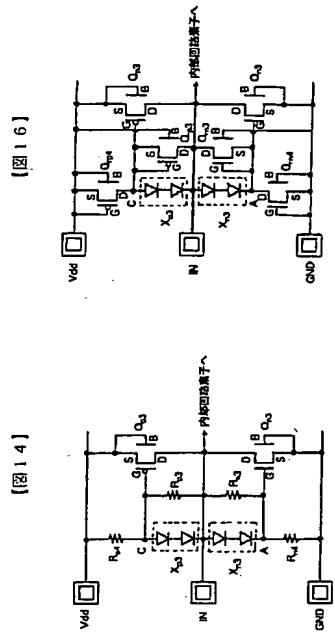
[図11]



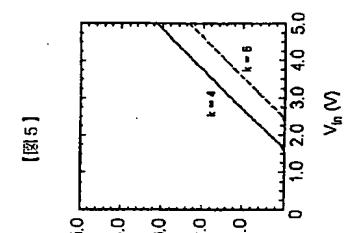
[図4]



[図12]

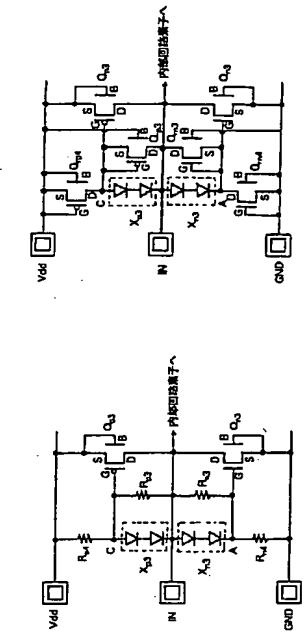


[図13]

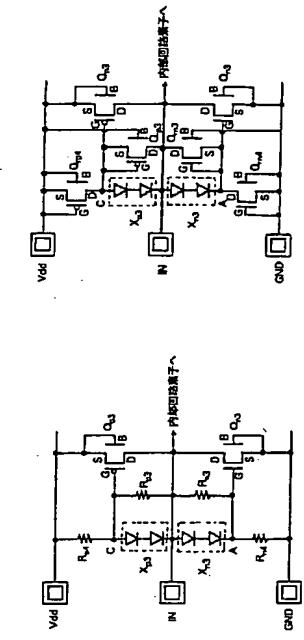


[図4]

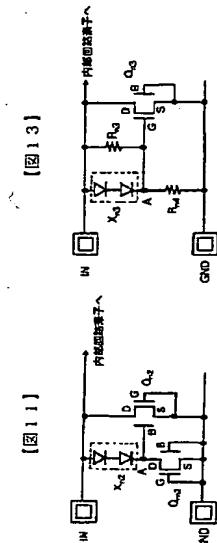
[図14]



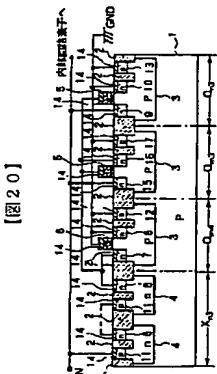
[図15]



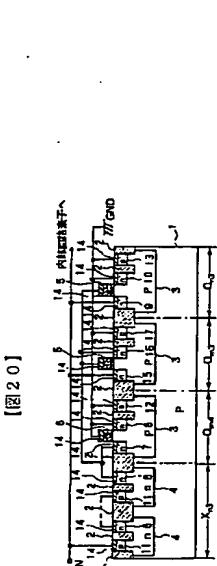
[図16]



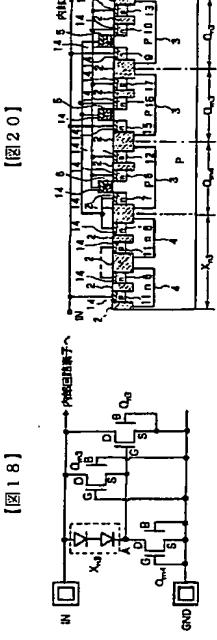
[図11]



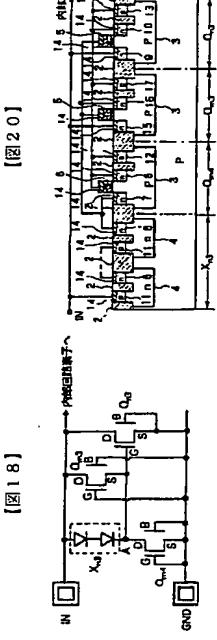
[図8]



[図14]

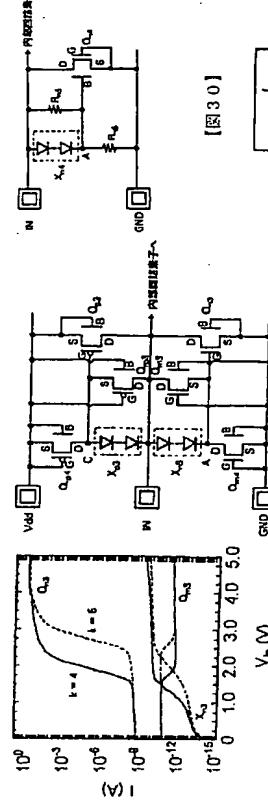


[図15]



[図16]

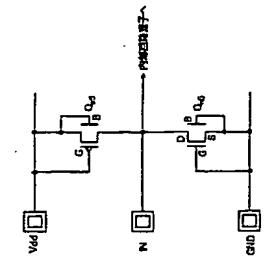
〔圖117〕



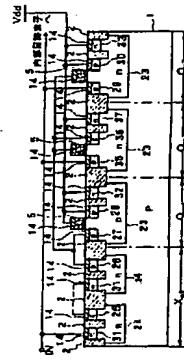
[221]



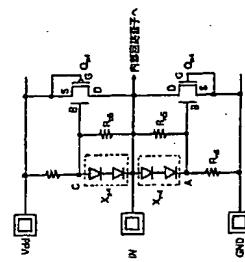
四二九



21



四三一



[图23]

